



LC723341E — CMOS LSI ETRコントローラ

LC723341Eは250MHzまで動作するPLLと1/4duty、1/2バイアス型のLCDドライバを内蔵した電子同調シングルチップマイクロコントローラである。

機能

- ・プログラムメモリ (ROM) : 4096 × 16ビット (8Kバイト)
- ・データメモリ (RAM) : 256 × 4ビット
- ・サイクルタイム : 1.33μs (全一語命令) 4.5MHz
- ・スタック : 8レベル
- ・LCDドライバ : 48 ~ 80セグメント (1/4duty, 1/2バイアス型)
- ・割り込み : 外部割り込み 2系統
タイマ割り込み 2系統 (1, 5, 10, 50ms)
- ・ADC : 4チャンネル (6ビット逐次比較型)
- ・入力専用ポート : 8ポート (内4ポートはADCと切換え)
- ・出力専用ポート : 10ポート (内6ポートはオープンドレインポート、
4ポートはCMOS/オープンドレイン切換え可能)
- ・入出力ポート : 19ポート (内8ポートはセグメントポートと切換え)
- ・PLL : 基準周波数 25, 12.5, 6.25, 5, 3, 3.125kHz
不感帯制御可能 (4種類)、アンロック検出回路内蔵
- ・入力周波数 (入力感度) : FM帯 10 ~ 250MHz
AM帯 0.5 ~ 40MHz
- ・入力感度 : FM帯 35mVrms (130MHz ~ : 50mVrms)
AM帯 35mVrms
- ・IFカウンタ : HCTR入力 0.4 ~ 12MHz (35mVrms)
- ・外部リセット端子 : CPU, PLL動作中PCが0番地からスタート
- ・リセット : 電圧検出型リセット回路内蔵
- ・HALTモード : コントローラの動作クロックを一時的に遅くし、
電流を少なくする
- ・BACK UPモード : X'tal発振を停止
- ・スタティックパワーON機能 : PFポートでBACK UPが解除できる
- ・BEEP : 6.25, 3.125, 2.5, 2.08, 1.5, 1.25, 0.75kHz
- ・メモリ保持電圧 : 0.9V以上
- ・VDD : PLL 4.5V ~ 5.5V
CPU 3.5V ~ 5.5V
- ・パッケージ : QIP64E (0.8mmピッチ)

- 本書記載の製品は、極めて高度の信頼性を要する用途 (生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途) に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の規格値 (最大定格、動作条件範囲等) を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

LC723341E

絶対最大定格/ $T_a=25$, $V_{SS}=0V$

項目	記号	条件	定格値	unit
最大電源電圧	$V_{DD\ max}$		- 0.3 ~ + 6.5	V
入力電圧	V_{IN}	全入力端子	- 0.3 ~ V_{DD} ~ + 0.3	V
出力電圧	V_{OUT1}	PE2, PL0 ~ 3	- 0.3 ~ + 15	V
	V_{OUT2}	V_{OUT1} 以外の全出力端子	- 0.3 ~ V_{DD} + 0.3	V
出力電流	I_{OUT1}	PC, PD, PE3, PG, PH, PK, E0	0 ~ 3	mA
	I_{OUT2}	PB	0 ~ 1	mA
	I_{OUT3}	PE2, PL0 ~ 3	0 ~ 2	mA
	I_{OUT4}	S1 ~ S20	0 ~ 1	μA
	I_{OUT5}	COM1 ~ COM4	3	mA
許容消費電力	$P_d\ max$	$T_a = - 20 \sim + 70$	300	mW
動作周囲温度	T_{opr}		- 20 ~ + 70	
保存周囲温度	T_{stg}		- 45 ~ + 125	

許容動作範囲/ $T_a = - 20 \sim + 70$, $V_{DD}=2.6 \sim 5.5V$

項目	記号	端子名	min	typ	max	unit
電源電圧	V_{DD1}	PLL動作電圧	4.5		5.5	V
	V_{DD2}	メモリ保持電圧	0.9		5.5	
	V_{DD3}	CPU動作電圧	2.6		5.5	
入力「H」レベル電圧	V_{IH1}	$V_{IH2}, V_{IH3}, AMIN, FMIN, HCTR, XIN$ 以外の入力ポート	$0.7V_{DD}$		V_{DD}	V
	V_{IH2}	BRES	$0.8V_{DD}$		V_{DD}	V
	V_{IH3}	PFポート	$0.6V_{DD}$		V_{DD}	V
入力「L」レベル電圧	V_{IL1}	$V_{IL2}, V_{IL3}, AMIN, FMIN, HCTR, XIN$ 以外の入力ポート	0		$0.3V_{DD}$	V
	V_{IL2}	BRES	0		$0.2V_{DD}$	V
	V_{IL3}	PFポート	0		$0.2V_{DD}$	V
入力振幅	V_{IN1}	XIN	0.5		1.5	V_{rms}
	V_{IN2}	FMIN, AMIN	0.035		0.35	V_{rms}
	V_{IN3}	FMIN	0.05		0.35	V_{rms}
	V_{IN4}	HCTR	0.035		0.35	V_{rms}
入力電圧範囲	V_{IN6}	AD10, AD11, AD12, AD13	0		V_{DD}	V
入力周波数	F_{IN1}	XIN	4.0	4.5	5.0	MHz
	F_{IN2}	FMIN : V_{IN2}, V_{DD1}	10		130	MHz
	F_{IN3}	FMIN : V_{IN3}, V_{DD1}	130		250	MHz
	F_{IN4}	AMIN(H) : V_{IN2}, V_{DD1}	2		40	MHz
	F_{IN5}	AMIN(L) : V_{IN2}, V_{DD1}	0.5		10	MHz
	F_{IN6}	HCTR : V_{IN4}, V_{DD1}	0.4		15	MHz

LC723341E

電気的特性(許容動作範囲内において)

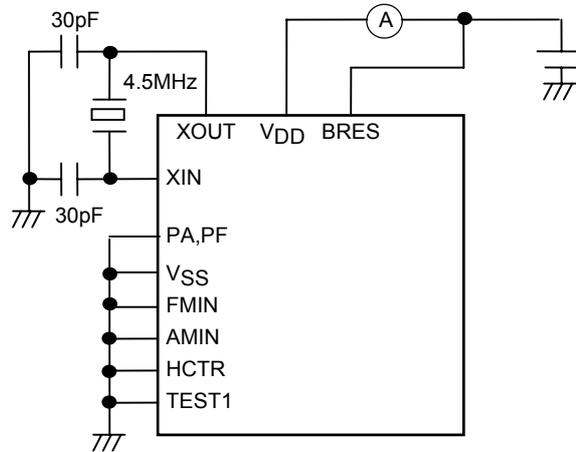
項目	記号	端子名	min	typ	max	unit
入力「H」レベル電流	I _{IH1}	XIN : V _I =V _{DD} =5.0V	2.0	5.0	15	μA
	I _{IH2}	FMIN, AMIN, HCTR : V _I =V _{DD} =5.0V	4.0	10	30	μA
	I _{IH3}	PA(ブルダウ無), PC, PD, PF, PG, PH, PKポート, BRES : V _I =V _{DD} =5.0V			3	μA
入力「L」レベル電流	I _{IL1}	XIN : V _I =V _{DD} =V _{SS}	- 2.0	- 5.0	- 15	μA
	I _{IL2}	FMIN, AMIN, HCTR : V _I =V _{DD} =V _{SS}	- 4.0	- 10	- 30	μA
	I _{IL3}	PA(ブルダウ無), PC, PD, PF, PG, PH, PKポート, BRES : V _I =V _{DD} =V _{SS}			- 3	μA
入力フローティング電圧	V _{IF}	PA ブルダウ有			0.05V _{DD}	V
ブルダウ抵抗	R _{PD1}	PA ブルダウ抵抗 V _{DD} =5.0V	75	100	200	kΩ
	R _{PD2}	TEST1抵抗		10		kΩ
ヒステリシス幅	V _H	BRES	0.1V _{DD}			V
出力「H」レベル電圧	V _{OH1}	PB : I _O =1mA	V _{DD} - 2.0	V _{DD} - 1.0		V
	V _{OH2}	PC, PD, PE3, PG, PH, PK : I _O =1mA	V _{DD} - 1.0			V
	V _{OH3}	E0 : I _O =500μA	V _{DD} - 1.0			V
	V _{OH4}	XOUT : I _O =200μA	V _{DD} - 1.0			V
	V _{OH5}	S1 ~ S20 : I _O =100μA	V _{DD} - 1.0			V
	V _{OH6}	COM1, COM2, COM3, COM4 : I _O =5μA	V _{DD} - 0.75	V _{DD} - 0.5		V
出力「L」レベル電圧	V _{OL1}	PB : I _O = - 50μA		1.0	2.0	V
	V _{OL2}	PC, PD, PE3, PG, PH, PK : I _O = - 1mA			1.0	V
	V _{OL3}	E0 : I _O = - 500μA			1.0	V
	V _{OL4}	XOUT : I _O = - 200μA			1.0	V
	V _{OL5}	S1 ~ S20 : I _O = - 100μA			1.0	V
	V _{OL6}	COM1, COM2, COM3, COM4 : I _O = - 5μA		0.5	0.75	V
	V _{OL7}	PE2, PL0 ~ 3 : I _O =5mA			2.0	V
出力オフリーク電流	I _{OFF1}	PB, PC, PD, PE3, PG, PH, PK, E0ポート	- 3		3	μA
	I _{OFF2}	PE2, PL0 ~ 3	- 100		100	nA
出力中間レベル電圧	V _M	COM1, COM2, COM3, COM4 : V _{DD} =5.0V	2.0	2.5	3.0	V
AD変換誤差		AD10, AD11, AD12, AD13	- 1/2		+ 1/2	LSB
パワーダウ検出電圧	V _{DET}		2.7	3.0	3.3	V
電源電流	I _{DD1}	V _{DD1} : FIN2 130MHz Ta=25		15	20	mA
	I _{DD2}	V _{DD3} : HALTモード Ta=25	1	0.6		mA
	I _{DD3}	V _{DD} =5.5V, OSC停止, Ta=25	2		5	μA
	I _{DD4}	V _{DD} =2.5V, OSC停止, Ta=25	2		1	μA

HALT電流は125msごとに20ステップ命令を実行する。

LC723341E

測定回路図

1 HALT PLL STOP電流測定条件



上記記載ポート以外は全て OPEN

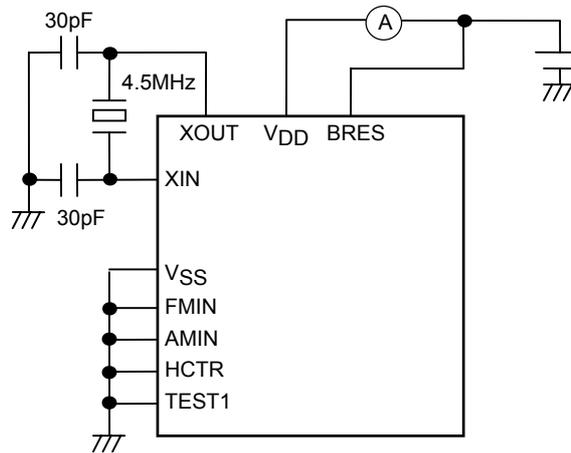
PC,PD は出力を選択

S13 ~ S20 のセグメントを選択

ソフト命令により HALT MODE を設定

X'tal 発振は停止せず、CPU の動作を停止した状態

2 BACK UP電流測定条件



上記記載ポート以外は全て OPEN

PC,PD は出力を選択

S13 ~ S20 のセグメントを選択

ソフト命令により BACKUP MODE を設定

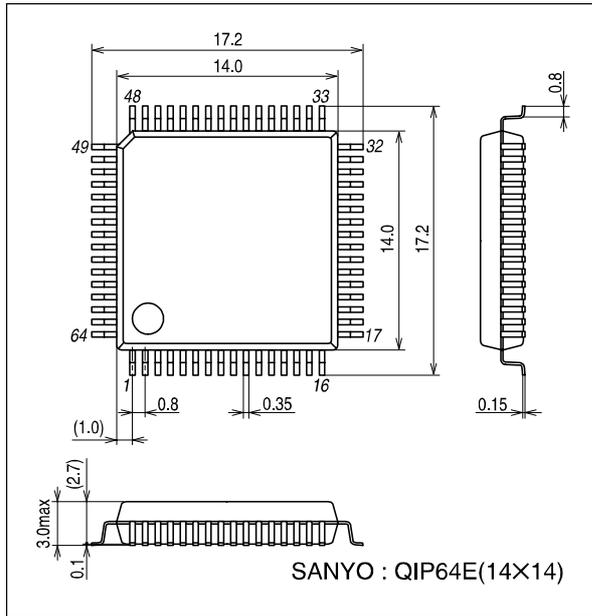
X'tal 発振が停止した状態

LC723341E

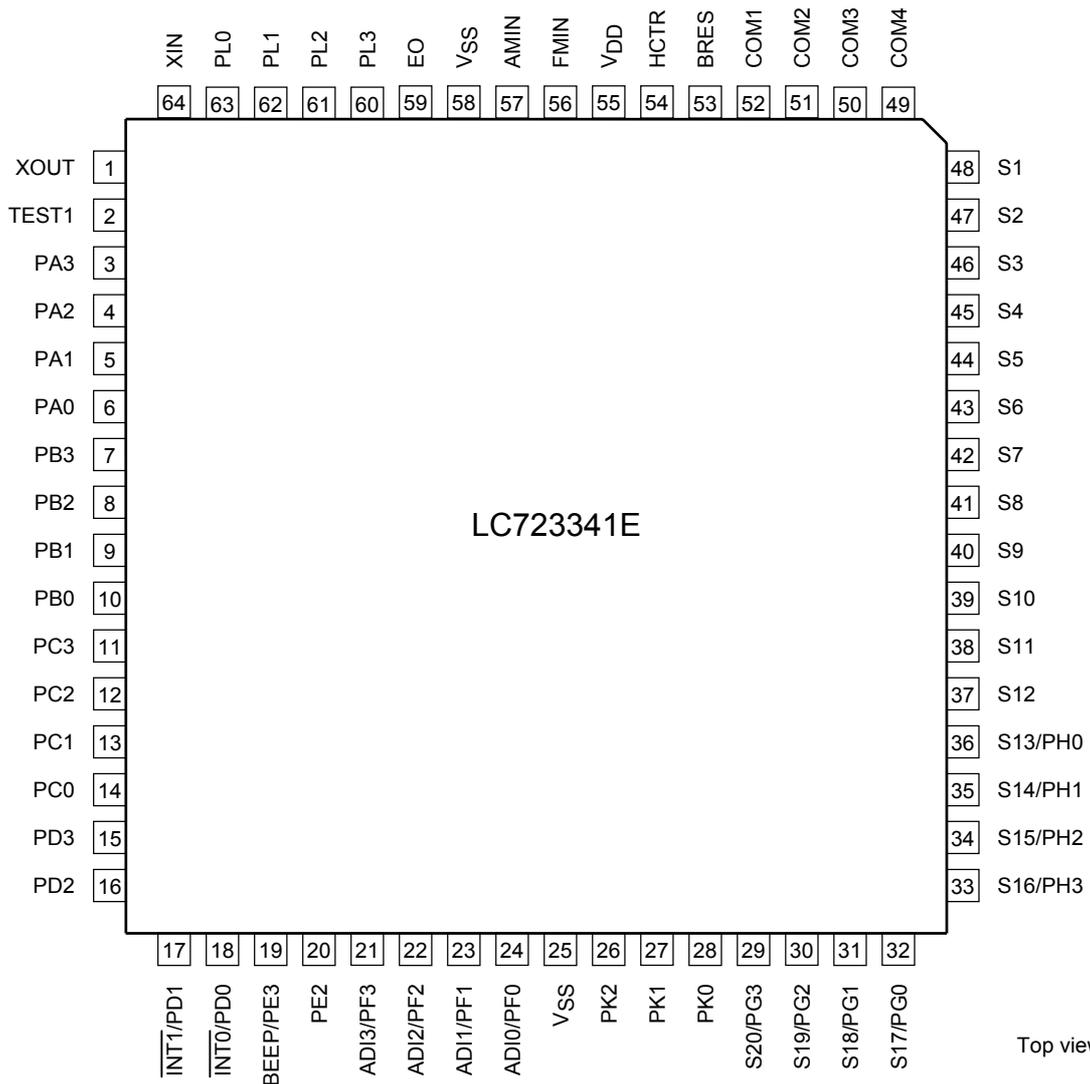
外形図

unit:mm

3159A

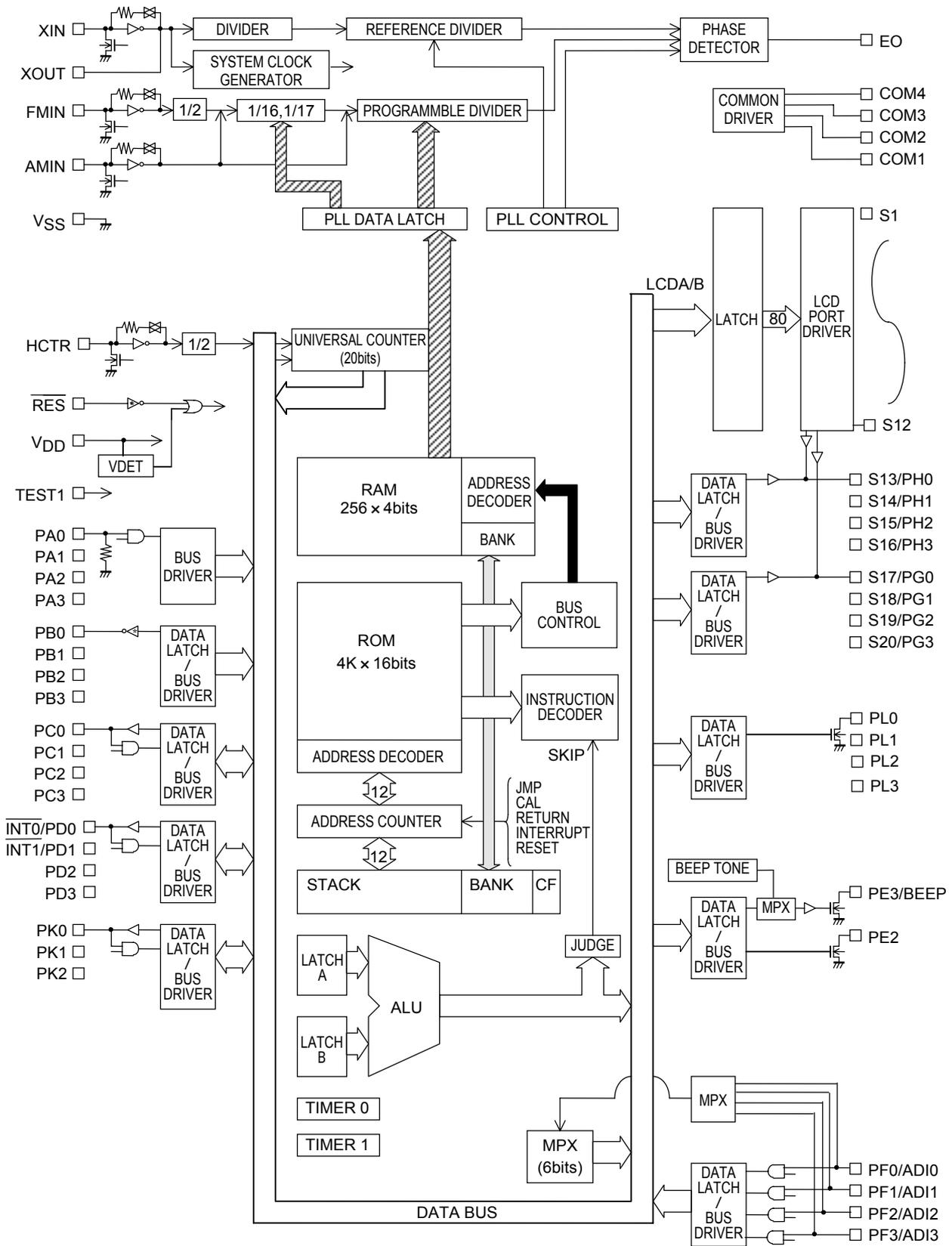


ピン配置図



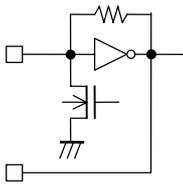
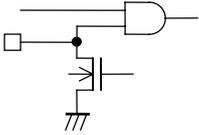
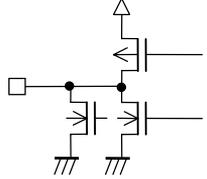
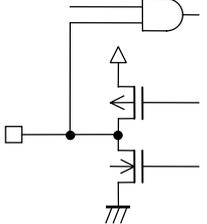
LC723341E

ブロック図



LC723341E

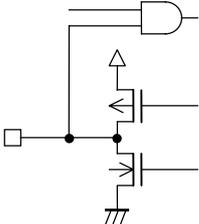
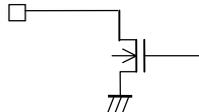
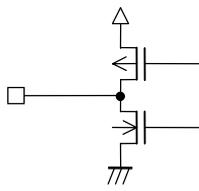
端子説明

端子名	端子番号	I/O	機能説明	I/O型式
XIN XOUT	64 1	I O	4.5MHz水晶発振用端子。	
TEST1	2	I	LSIのテスト端子である。 通常は必ずGNDに接続する。	
PA0 PA1 PA2 PA3	6 5 4 3	I	キーリターン信号入力用ポートで、スレッショルド電圧が低く設計されている。PBポートと組み合わせてキーマトリックスを構成すると、最大3個の多重押しを検出できる。 プルダウン抵抗は4本まとめてIOS命令(PWn=2, b1)で設定し、1端子ごとの指定はできない。 バックアップモード時は入力禁止となり、リセット時はプルダウン無しになる。	プルダウン抵抗付き入力 
PB0 PB1 PB2 PB3	10 9 8 7	O	キーソース信号出力用ポートである。アンバランス型出力とオープンドレイン出力があり、IOS命令(PWn=2, b0, b2, b3)で設定を行う。アンバランス型出力として使用する場合は、キー多重押しによる短絡防止用のダイオードが不要となる。オープンドレイン出力として使用する場合は、VDDとポート間にプルアップ抵抗が必要になる。 バックアップモード時は出力ハイインピーダンスになる。リセット時は出力ハイインピーダンスとなり、出力命令(OUT, SPB, RPB命令)が実行されるまで、この状態を維持する。 キーソース出力以外に使用する場合は、出力インピーダンスに注意する。	アンバランス CMOSプッシュプル /Nchオープンドレイン 
PC0 PC1 PC2 PC3	15 14 13 12	I/O	汎用入出力ポートである。(注) 汎用入出力ポートの切換えは、IOS命令(PWn=4)で行い、1ビット単位でのI/O設定が可能である。(0:入力、1:出力) バックアップモード時は入力禁止でハイインピーダンスになる。 リセット時は汎用入力ポートになる。	CMOSプッシュプル 

次ページへ続く。

LC723341E

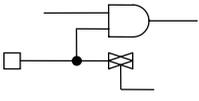
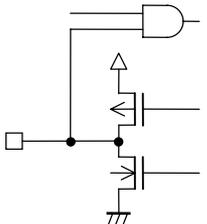
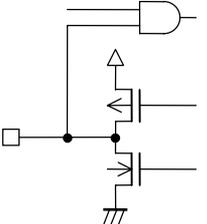
前ページより続く。

端子名	端子番号	I/O	機能説明	I/O型式
PDO/ <u>INT0</u> PD1/ <u>INT1</u> PD2 PD3	18 17 16 15	I/O	汎用入出力ポートである。(注) 入出力の切換えはIOS命令(PWn=5, b0, b1)で行い、1ビット単位での入出力設定が可能である。(0:入力、1:出力) また、外部割り込みポートとしても使用できる。この場合、入出力設定は入力側にする必要があり、IOS命令(PWn=3, b0, b1)で立ち上がり/立ち下がりエッジ検出の設定を行う。 バックアップモード時は入力禁止でハイインピーダンスになる。 リセット時は汎用入力ポートになる。	CMOSプッシュプル 
PE2	20	0	オープンドレイン出力ポートである。このポートはV _{DD} とポート間にプルアップ抵抗が必要となる。 バックアップモード時はハイインピーダンスとなる。	Nchオープンドレイン 
PE3/BEEP	18	0	汎用出力/BEEP出力兼用ポートである。 汎用出力とBEEP出力の切換えはBEEP命令で行う。 汎用出力ポートとして使用する場合はBEEP命令でb3=0にすると汎用出力にセットされる。また、b3=1にするとBEEP出力となる。BEEP周波数の切換えはb0、b1、b2で行う。BEEP周波数は7種類である。 PE3ポートがBEEP出力として設定されている場合、出力命令を実行しても内部の出力ラッチが切替わるだけで出力に影響されない。 バックアップモード時はハイインピーダンスとなる。また、出力命令又はBEEP命令が実行されるまでこの状態を維持する。 リセット時は汎用出力ポートとなる。	CMOSプッシュプル 

次ページへ続く。

LC723341E

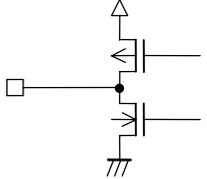
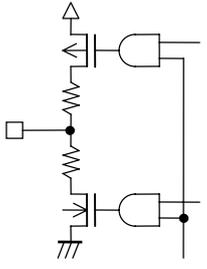
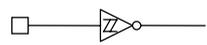
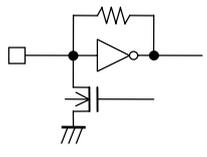
前ページより続く。

端子名	端子番号	I/O	機能説明	I/O型式
PF0/AD10 PF1/AD11 PF2/AD12 PF3/AD13	24 23 22 21	I	<p>汎用入力/ADC入力兼用ポートである。汎用入力とADC入力の切換えはIOS命令(PWn=FH, b0~b3)で行い、1ビット単位での切換えが可能である。(0: 汎用入力、1: ADC入力)</p> <p>ADCを選択した場合、IOS命令(PWn=1)でA/D変換する端子を設定する。ADCはUCC命令(b3=1, b2=1)でスタートし、変換が終了するとADCEフラグがセットされる。また、データの読み込みはINR命令で行う。</p> <p>アナログ入力に指定したポートに対し入力命令を実行した場合、CMOS入力は禁止されているためデータは「L」になる。</p> <p>バックアップモードを解除するポートを設定する場合、IOS命令(PWn=0, b0~b3)で行う。</p> <p>バックアップモード時は入力禁止でハイインピーダンスとなる。リセット時は汎用入力ポートとなる。ADCは6ビットの逐次比較型で変換時間は0.64msである。また、ADCのフルスケール電圧は(63/96)V_{DD}である。</p>	<p>CMOS入力/アナログ入力</p> 
PK0 PK1 PK2	28 27 26	I/O	<p>汎用入出力である。(注)</p> <p>汎用入出力ポートの切換えは、IOS命令(PWn=A)で行い、1ビット単位でのI/O設定が可能である。(0: 入力、1: 出力)</p> <p>バックアップモード時は入力禁止でハイインピーダンスとなる。</p> <p>リセット時は汎用入力ポートとなる。</p>	<p>CMOSプッシュプル</p> 
S17/PG0 S18/PG1 S19/PG2 S20/PG3 S13/PH0 S14/PH1 S15/PH2 S16/PH3	32 31 30 29 36 35 34 33	I/O	<p>LCDドライバのセグメント出力/汎用入出力兼用ポートである。(注)</p> <p>セグメント出力/汎用入出力の切換えおよび汎用ポートの入出力切換えはIOS命令で行う。</p> <p>セグメント出力ポートとして使用する場合</p> <p>PGポート.....IOS命令(PWn=B, b0~b3)</p> <p style="padding-left: 40px;">0: セグメント出力</p> <p>PHポート.....IOS命令(PWn=C, b0~b3)</p> <p style="padding-left: 40px;">0: 汎用入出力</p> <p>1ビット単位での切換えが可能である。</p> <p>汎用入出力ポートとして使用する場合</p> <p>PGポート.....IOS命令(PWn=6, b0~b3)</p> <p style="padding-left: 40px;">0: 入力</p> <p>PHポート.....IOS命令(PWn=7, b0~b3)</p> <p style="padding-left: 40px;">1: 出力</p> <p>1ビット単位での切換えが可能である。</p> <p>バックアップモード時、汎用出力としては入力禁止でハイインピーダンスとなる。セグメント出力として使用している時は「L」レベルに固定される。リセット時はセグメント出力ポートとなる。</p>	<p>CMOSプッシュプル</p> 

次ページへ続く。

LC723341E

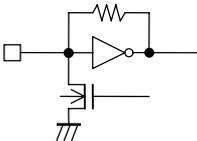
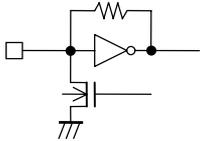
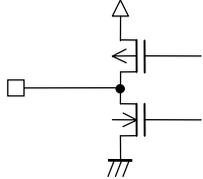
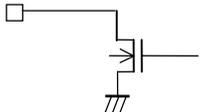
前ページより続く。

端子名	端子番号	I/O	機能説明	I/O型式																																								
S1 ~ S12	48 ~ 37	0	LCDドライバのセグメント出力端子である。 駆動方式は1/4デューティ、1/2バイアスである。 フレーム周波数は75Hzである。 バックアップモード、リセットおよび消灯命令実行時は「L」レベルに固定される。	CMOSプッシュプル 																																								
COM1 COM2 COM3 COM4	62 61 60 59	0	LCDドライバのコモン出力端子である。 駆動方式は1/4デューティ、1/2バイアスである。 フレーム周波数は75Hzである。 バックアップモード、リセットおよび消灯命令実行時は「L」レベルに固定される。																																									
BRES	69		システムリセット用端子である。 CPU動作時、HALTモード時に1マシンサイクル以上「L」レベルを入力するとシステムがリセットされ、PCが0番地から実行される。																																									
HCTR	54	I	ユニバーサルカウンタ入力専用ポートである。 周波数測定する場合、UCS命令 (b3=0, b2=0) で計測時間を選択し、UCC命令でカウンタをスタートする。 <table border="1" style="margin: 10px 0;"><thead> <tr> <th>UCS</th> <th>b3</th> <th>b2</th> <th>測定時間</th> <th>測定モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td></td> <td>HCTR</td> <td>周波数測定</td> </tr> <tr> <td>0</td> <td>1</td> <td></td> <td>-</td> <td>-</td> </tr> <tr> <td>1</td> <td>0</td> <td></td> <td>-</td> <td>-</td> </tr> </tbody> </table> <table border="1" style="margin: 10px 0;"><thead> <tr> <th>UCS</th> <th>b1</th> <th>b0</th> <th>測定時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td></td> <td>1ms</td> </tr> <tr> <td>0</td> <td>1</td> <td></td> <td>4ms</td> </tr> <tr> <td>1</td> <td>0</td> <td></td> <td>8ms</td> </tr> <tr> <td>1</td> <td>1</td> <td></td> <td>32ms</td> </tr> </tbody> </table> カウントが終了すると、CNTENDフラグがセットされる。このモードではACアンプとして動作するため、必ず容量結合で入力すること。 バックアップモード、HALTモード、リセットおよびPLL STOP時は入力禁止となる。	UCS	b3	b2	測定時間	測定モード	0	0		HCTR	周波数測定	0	1		-	-	1	0		-	-	UCS	b1	b0	測定時間	0	0		1ms	0	1		4ms	1	0		8ms	1	1		32ms	CMOSアンプ入力 
UCS	b3	b2	測定時間	測定モード																																								
0	0		HCTR	周波数測定																																								
0	1		-	-																																								
1	0		-	-																																								
UCS	b1	b0	測定時間																																									
0	0		1ms																																									
0	1		4ms																																									
1	0		8ms																																									
1	1		32ms																																									

次ページへ続く。

LC723341E

前ページより続く。

端子名	端子番号	I/O	機能説明	I/O型式												
FMIN	56	I	<p>FM VCO(局部発振)入力端子である。 PLL命令のCW1により端子の選択を行う。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>CW1</td> <td>b1</td> <td>b0</td> <td>帯域</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>10~250MHz</td> </tr> </table> <p>容量結合で入力すること。 バックアップモード、HALTモード、リセットおよびPLL STOP時は入力禁止となる。</p>	CW1	b1	b0	帯域	0	0	0	10~250MHz	<p>CMOSアンプ入力</p> 				
CW1	b1	b0	帯域													
0	0	0	10~250MHz													
AMIN	57	I	<p>AM VCO(局部発振)入力端子である。 PLL命令のCW1により端子の選択および帯域の設定を行う。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>CW1</td> <td>b1</td> <td>b0</td> <td>帯域</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2~40MHz(SW)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0.5~10MHz(MW, LW)</td> </tr> </table> <p>容量結合で入力すること。 バックアップモード、HALTモード、リセットおよびPLL STOP時は入力禁止となる。</p>	CW1	b1	b0	帯域	1	0	0	2~40MHz(SW)	1	1	0	0.5~10MHz(MW, LW)	<p>CMOSアンプ入力</p> 
CW1	b1	b0	帯域													
1	0	0	2~40MHz(SW)													
1	1	0	0.5~10MHz(MW, LW)													
E0	59	O	<p>メインチャージポンプ出力端子である。局部発振周波数をN分周した周波数が、基準周波数より高い場合は「H」レベル、低い場合は「L」レベルが出力され一致した場合はハイインピーダンスとなる。 バックアップモード、HALTモード、リセットおよびPLL STOP時は出力ハイインピーダンスとなる。</p>	<p>CMOSプッシュプル</p> 												
PL0 PL1 PL2 PL3	63 62 61 60	O	<p>オープンドレイン出力ポートである。このポートはV_{DD}とポート間にプルアップ抵抗が必要になる。 バックアップモード時はハイインピーダンスになる。リセット時は出力命令が実行されるまで、「L」になる</p>	<p>Nchオープンドレイン出力</p> 												
VSS VSS VDD	25 58 55	-	<p>電源端子である。 VSSは - 側(GND)に接続する。 VDDは + 側に接続する。</p>													

(注) 入出力切換えポートで出力として使用する端子は、あらかじめOUT、SPB、RPB命令で出力データを確定してからIOS命令で出力に設定するようにすること。

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。